

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-164118

(43)Date of publication of application : 28.06.1989

(51)Int.Cl.

H03K 5/26

(21)Application number : 62-321544

(71)Applicant : NEC CORP

(22)Date of filing : 21.12.1987

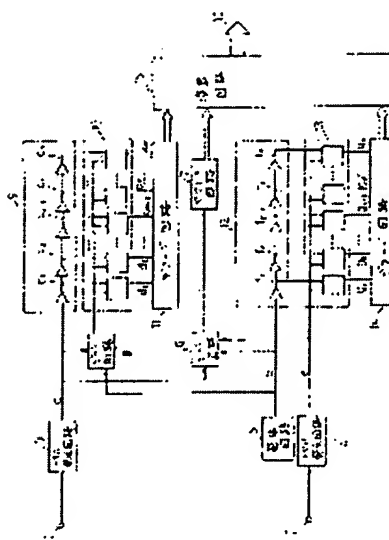
(72)Inventor : NAKAJIMA HIROSHI

(54) TIME DIFFERENCE MEASURING CIRCUIT

(57)Abstract:

PURPOSE: To measure time difference between two signals by resolution higher than an input count pulse to a counter circuit by providing a first delay circuit to delay a measurement start signal and a second delay circuit to delay a count pulse.

CONSTITUTION: The measurement start signal (a) is inputted to the delay circuit 9 that n-pieces of delay elements are connected in series, and delayed signals c1 ~ cn are sent to a flip flop circuit 10, and a decoding circuit 11 converts the logical patterns of n-kinds due to signals d1 ~ dn within time until the edge of the count pulse (b) arrives from the edge of the measurement start signal (a), and inputs them to an arithmetic operation circuit 15. Besides, the count pulse (b) is inputted to the same delay circuit 12 as the delay circuit 9, and the decoding circuit 14 converts the logical patterns of n-kinds due to the signals g1 ~ gn within time until the edge of a measurement finish signal (e) arrives from a final count pulse edge which the counter circuit 7 counted. Thus, the time difference between two signals inputted to terminals 1, 2 can be measured by the high resolution.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平1-164118

⑤ Int. Cl.⁴

識別記号

庁内整理番号

④ 公開 平成1年(1989)6月28日

H 03 K 5/26

C-6959-5J

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 時間差測定回路

⑯ 特 願 昭62-321544

⑰ 出 願 昭62(1987)12月21日

⑱ 発 明 者 中 島 洋 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 山川 政樹 外2名

明 細 書

1. 発明の名称

時間差測定回路

2. 特許請求の範囲

2つの信号間に生じる時間差を測定する時間差測定回路において、前記信号の一方により測定開始信号を発生する第1のトリガ発生回路と、前記信号の他方により測定終了信号を発生する第2のトリガ発生回路と、周期Tのカウントパルスが発生する発報回路と、前記測定開始信号および前記測定終了信号によりカウントパルスを送出または停止する第1のゲート回路と、前記カウントパルスをカウントするカウンタ回路と、前記測定開始信号によりゲートを開きカウントパルスの最初のカウンタ・エッジを送出後ゲートを閉じる第2のゲート回路と、前記測定開始信号を Δt 時間遅延させ、その信号をフリップフロップ回路に送出する遅延素子を $n = T/\Delta t$ 個直列接続した第1の遅延回路と、この第1の遅延回路より送出される遅延信号を前記第2のゲート回路から送出される

ラッチ信号により記憶するn個の第1のフリップフロップ回路と、この第1のフリップフロップ回路の出力信号を解読する第1のデコード回路と、前記カウントパルスを Δt 時間遅延させ、その信号をフリップフロップ回路に送出する遅延素子をn個直列接続した第2の遅延回路と、この第2の遅延回路より送出される遅延信号を前記測定終了信号に同期して記憶するn個の第2のフリップフロップ回路と、この第2のフリップフロップ回路の出力信号を解読する第2のデコード回路と、前記第1および第2のデコード回路の各出力信号と前記カウンタ回路の出力信号とを演算する演算回路とを有することを特徴とする時間差測定回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は測定器用電子回路網に係り、特に2つの信号間に生じる時間差を測定する時間差測定回路に関するものである。

〔従来の技術〕

従来、この種の時間差測定回路は、高周波のバ

ルス発生回路と高周波カウンタ回路により構成され、測定開始信号と測定終了信号により高周波パルスのカウンタ開始・停止を行い時間差を測定していた。

〔発明が解決しようとする問題点〕

上述した従来の時間差測定回路は、高周波信号を高周波カウンタ回路でカウントしているため、基本となる高周波信号以上の時間分解能が得られないという問題点があつた。

〔問題点を解決するための手段〕

本発明の時間差測定回路は、2つの信号間に生じる時間差を測定する時間差測定回路において、上記信号の一方により測定開始信号を発生する第1のトリガ発生回路と、上記信号の他方により測定終了信号を発生する第2のトリガ発生回路と、周期Tのカウンタパルスを発生する発振回路と、上記測定開始信号および上記測定終了信号によりカウンタパルスを送出または停止する第1のゲート回路と、上記カウンタパルスをカウントするカウンタ回路と、上記測定開始信号によりゲートを

開きカウンタパルスの最初のカウンタ・エッジを送出後ゲートを閉じる第2のゲート回路と、上記測定開始信号を Δt 時間遅延させ、その信号をフリップフロップ回路に送出する遅延素子を $n = T/\Delta t$ 個直列接続した第1の遅延回路と、この第1の遅延回路より送出される遅延信号を上記第2のゲート回路から送出されるラッチ信号により記憶するn個の第1のフリップフロップ回路と、この第1のフリップフロップ回路の出力信号を解読する第1のデコード回路と、上記カウンタパルスを Δt 時間遅延させ、その信号を上記第1のフリップフロップ回路に送出する遅延素子をn個直列接続した第2の遅延回路と、この第2の遅延回路より送出される遅延信号を上記測定終了信号に同期して記憶するn個の第2のフリップフロップ回路と、この第2のフリップフロップ回路の出力信号を解読する第2のデコード回路と、上記第1および第2のデコード回路の出力信号と上記カウンタ回路の出力信号とを演算する演算回路とを有するものである。

〔作用〕

本発明においては、カウンタ回路への入力カウンタ・パルスよりも高い分解能で2つの信号間の時間差を測定する。

〔実施例〕

以下、図面に基づき本発明の実施例を詳細に説明する。

第1図は本発明の一実施例を示すブロック図である。

図において、1、2は信号入力端子、3はこの信号入力端子1からの信号により測定開始信号を発生するトリガ発生回路、4は信号入力端子2からの信号により測定終了信号を発生するトリガ発生回路、5は周期Tのカウンタパルスを発生する発振回路、6は測定開始信号および測定終了信号によりカウンタパルスを送出または停止するゲート回路、7はカウンタパルスをカウントするカウンタ回路、8は測定開始信号によりゲートを開きカウンタパルスの最初のカウンタ・エッジを送出後ゲートを閉じるゲート回路、9は測定開始信号

を Δt 時間遅延させ、その信号をフリップフロップ回路に送出する遅延素子を $n = T/\Delta t$ 個直列接続した遅延回路、10はこの遅延回路9より送出される遅延信号をゲート回路8から送出されるラッチ信号により記憶するn個のフリップフロップ回路、11はこのフリップフロップ回路10の出力信号を解読するデコード回路、12はカウンタパルスを Δt 時間遅延させ、その信号をフリップフロップ回路に送出する遅延素子をn個直列接続した遅延回路、13はこの遅延回路12より送出される遅延信号を測定終了信号に同期して記憶するn個のフリップフロップ回路、14はこのフリップフロップ回路13の出力信号を解読するデコード回路、15はデコード回路11およびデコード回路14の各出力信号とカウンタ回路7の出力信号とを演算する演算回路、16は出力端子である。

つぎにこの第1図に示す実施例の動作を第2図(a)~(h)を参照して説明する。第2図は第1図における各部の信号a~gの波形を示す波形図である。

まず、信号入力端子1に入力された信号の条件によりトリガ発生回路3が駆動され、測定開始信号aを送出する。この測定開始信号aはゲート回路6に作用し、発振回路5で生成される周期Tのカウントパルスbをカウンタ回路7に送る。そして、このカウンタ回路7は、信号入力端子2より入力された信号の条件によりトリガ発生回路4が駆動され、測定終了信号eがゲート回路6に作用するまでカウントパルスbのカウントを続ける。また、測定開始信号aは $T/t = n$ 個直列接続した遅延回路9に入力され、この遅延回路9は遅延信号 $c_1 \sim c_n$ をn個のフリップフロップ回路10に送出する。ゲート回路8は測定開始信号aに作用されカウントパルスbをフリップフロップ回路10の各クロック端子に入力し、このカウントパルスbの最初のカウント・エッジを送出後ゲートを閉じる。そして、遅延回路10はカウントパルスbの最初のカウント・エッジに同期し遅延信号 $c_1 \sim c_n$ を記憶し、信号 $d_1 \sim d_n$ をデコード回路11に入力

する。このデコード回路11は信号 $d_1 \sim d_n$ によるn種類の論理パターンを、測定開始信号aのエッジからカウントパルスbのエッジが到達するまでの時間に変換し演算回路15に入力する。

つぎに、また、カウントパルスbは遅延回路9と同様な遅延回路12に入力され、この遅延回路12は遅延信号 $f_1 \sim f_n$ をn個のフリップフロップ回路13に送出する。そして、このフリップフロップ回路13は測定終了信号eに同期して遅延信号 $f_1 \sim f_n$ を記憶し、信号 $g_1 \sim g_n$ をデコード回路14に入力する。デコード回路14は信号 $g_1 \sim g_n$ によるn種類の論理パターンを、カウンタ回路7がカウントした最終カウントパルスエッジから測定終了信号eのエッジが到達するまでの時間に変換し演算回路15に入力する。

そして、この演算回路15はカウンタ回路7とデコード回路11、14の各出力信号を演算し、信号入力端子1、2に入力された信号間に生ずる時間差を出力端子16に出力する。

〔発明の効果〕

以上説明したように本発明は第1図のように構成することにより、カウンタ回路への入力カウント・パルスよりも高い分解能で容易に2つの信号間の時間差が測定できるという効果がある。

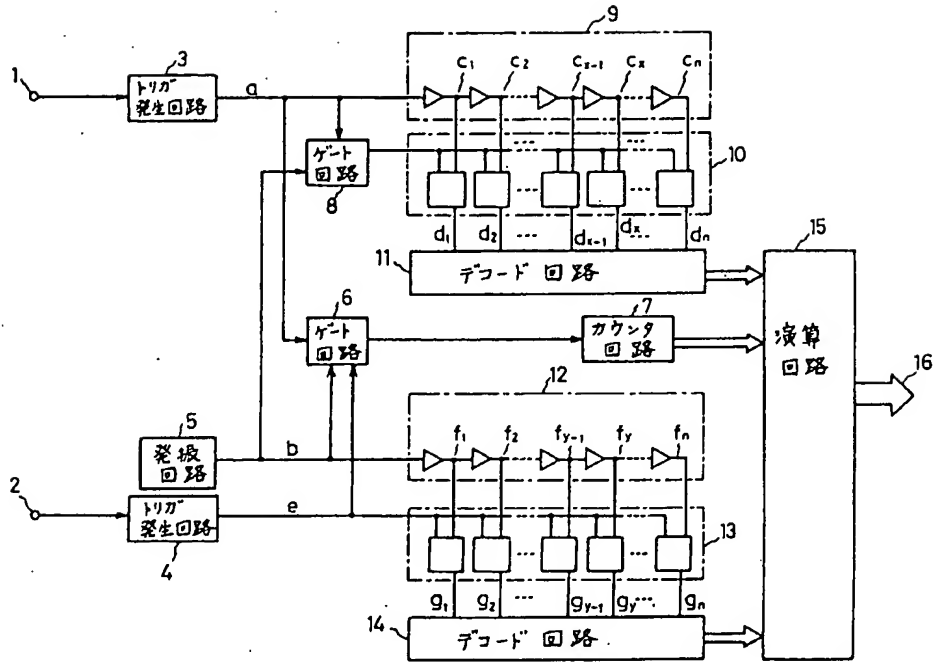
4. 図面の簡単な説明

第1図は本発明の一実施例を示すブロック図、第2図は第1図の各部の信号波形を示す波形図である。

1、2・・・信号入力端子、3、4・・・トリガ発生回路、5・・・発振回路、6・・・ゲート回路、7・・・カウンタ回路、8・・・ゲート回路、9・・・遅延回路、10・・・フリップフロップ回路、11・・・デコード回路、12・・・遅延回路、13・・・フリップフロップ回路、14・・・デコード回路、15・・・演算回路。

特許出願人 日本電気株式会社
代理人 山川 政 樹(ほか2名)

第1図



第2図

